

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-312560

(43)Date of publication of application : 28.11.1995

(51)Int.Cl.

H03M 13/00

H04L 1/00

H04L 27/00

(21)Application number : 07-045431

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.03.1995

(72)Inventor : SAKAI YASUYUKI

YOSHIDA HIDEO

TOKITA TOSHIO

(30)Priority

Priority number : 06 55941

Priority date : 25.03.1994

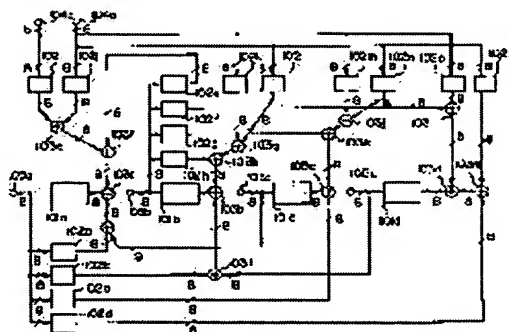
Priority country : JP

(54) ERROR CORRECTION CODER, ERROR CORRECTION DECODER, DATA TRANSMISSION SYSTEM WITH ERROR CORRECTION CODE AND DECODING METHOD FOR ERROR CORRECTION CODE

(57)Abstract:

PURPOSE: To generate a syndrome with a few shift numbers by using a shift register, a Galois field multiplier used to multiply each coefficient and a Galois field adder so as to connect error correction coding processing thereby obtaining a check symbol.

CONSTITUTION: In the case of coding, an information symbol m_{250} is given to an input terminal 104a and all '0s' are given to an input terminal 104 simultaneously. Then the information symbol is shifted once, a Galois field multiplier multiplies Galois field constants, a Galois field adder implements EXOR and the result is stored in registers 101a-101d, an information symbol m_{248} is given to an input terminal 104b and similar operation is executed. The similar processing is repeated till information symbols m_1, m_0 . After all the arithmetic operations are finished, outputs from output terminals 105a, 105b, 105c and 105d are respectively check symbols r_3, r_2, r_1, r_0 . A syndrome is generated with a few shift number by implementing error correction coding processing to obtain the check symbol in this way.



LEGAL STATUS

[Date of request for examination]

27.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3288883

[Date of registration] 15.03.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成7年(1995)11月28日

審査請求 未請求 請求項の数 9 O.L (全 15 頁)

1

【特許請求の範囲】

【請求項1】 複数入力端からの異なる情報シンボルの並列入力に対して、所定の数の検査シンボルに基づく段数のシフトレジスタと、生成多項式と該並列入力数で決まる各係数を乗じるガロア体乗算器と、ガロア体加算器とを用いて上記複数の情報シンボルから上記所定数の検査シンボルを得る誤り訂正符号化処理の接続を行い、上記並列入力数に対応して減らしたシフト数で、上記所定の数の検査シンボルを生成する巡回符号の誤り訂正符号化装置。

【請求項2】 複数入力端からの異なる受信シンボルの並列入力に対して、

上記複数の入力に基づくシンドローム計算のための係数を乗じる複数のガロア体乗算器と、ガロア体加算器と、シフトレジスタとを用いて所定のシンドローム生成式を得る接続をして、

上記並列入力数に対応して減らしたシフト数で、上記所定のシンドロームを得るシンドローム生成回路を備えた巡回符号の誤り訂正復号装置。

【請求項3】 シンドロームにより求まる誤り位置多項式の係数を初期設定するシフトレジスタと、ガロア体乗算器とを用いて、誤り位置多項式の根として複数シンボルを同時に調べる接続を行い、上記初期設定から上記同時に調べる複数シンボル数に対応して減らしたシフト数で、誤り位置多項式の根を得るチェーンサーチ回路を備えた巡回符号の誤り訂正復号装置。

【請求項4】 受信シンボルから必要な誤り位置多項式の係数を求めるための複数のシンドローム生成回路と、上記シンドローム生成回路で得られた複数のシンドロームに対し、短縮分相当のガロア体上の元を乗算して符号多項式の低次の項のシンボルが全て零である短縮巡回符号のシンドロームに変換するガロア体定数計算回路と、上記変換された短縮巡回符号のシンドロームにより誤り位置多項式の係数を計算する誤り位置多項式係数計算回路と、

上記求めた誤り位置多項式の係数を初期設定して、高次の項からチェーンサーチをするチェーンサーチ回路とを備えた巡回符号の誤り訂正復号装置。

【請求項5】 異なる受信シンボルの並列入力に対して、複数のガロア体乗算器とガロア体加算器とシフトレジスタとを用い、上記並列入力数に対応して減らしたシフト数で所定のシンドロームを得るシンドローム生成回路と、

上記複数のシンドロームにより求まる誤り位置多項式の係数を初期設定し、シフトレジスタとガロア体乗算器とを用いて誤り位置多項式の複数の根を同時に調べる接続を行い、該調べる複数の根の数に対応して減らしたシフト数で誤り位置多項式の根を得るチェーンサーチ回路を備えた巡回符号の誤り訂正復号装置。

2

【請求項6】 検査シンボルで決まる数のシフトレジスタとガロア体乗算器とガロア体加算器とを用いて、複数入力端から異なる情報シンボルを並列入力して、上記並列入力数に対応して減らしたシフト数で、所定の数の検査シンボルを生成する巡回符号の誤り訂正符号化装置と、

異なる受信シンボルの並列入力に対して、複数のガロア体乗算器とガロア体加算器とシフトレジスタとを用い、上記並列入力数に対応して減らしたシフト数で所定のシンドロームを得るシンドローム生成回路を備えた巡回符号の誤り訂正復号装置からなる誤り訂正符号付きデータ伝送システム。

【請求項7】 受信した符号語から生成されるシンドロームに対し符号長と短縮符号長の差の分のガロア体上の元を乗算するステップと、

上記で得られたシフトされたシンドロームから誤り位置多項式の係数を求めるステップと、

上記で得られた誤り位置多項式の係数に基づいて短縮符号分の誤り位置を求めるステップとを備えた誤り訂正符号の復号方法。

【請求項8】 複数入力端からの異なる情報ビットの並列入力に対して、所定の数の検査ビットに対応する段数のシフトレジスタを備え、生成多項式で剰余計算を単一ビット入力を上記複数回行ったと等価な除算結果となる論理演算回路接続を上記シフトレジスタに行い、上記並列入力数に対応して減らしたシフト数で、上記所定の数の検査ビットを生成するBCH符号の誤り訂正符号化装置。

【請求項9】 複数入力端からの異なる受信ビットの並列入力に対して、所定のビット数のシンドロームを得るビット数対応のレジスタを備え、求めるシンドロームを単一ビット入力を上記複数回行ったと等価な演算となる論理演算回路接続を上記シフトレジスタに行い、上記並列入力数に対応して減らしたシフト数で、上記所定のシンドロームを得るシンドローム生成回路を備えたBCH符号の誤り訂正復号装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、誤り訂正符号化装置、誤り訂正復号装置及び誤り訂正符号付きデータ伝送システムに関するものである。

【0002】

【従来の技術】ディジタル情報を伝送する際には、誤り訂正符号がよく用いられるが、誤り訂正符号の一つにリードソロモン符号がある。ここでは、リードソロモン符号の従来の誤り訂正符号化装置と復号装置について説明する。なお、誤り訂正符号の理論およびリードソロモン符号については、『符号理論』（今井秀樹著、電子情報通信学会編、平成4年6月1日第4版発行）に詳しく記載されている。まず、符号化の原理を簡単に説明する。

3

符号長 n 、情報シンボル数 k の q 元リードソロモン符号の符号化は、 k 個の情報シンボル m_{k-1} 、 \dots 、 m_1 、 m_0 を係数とする多項式、

$$M(x) = m_{k-1}x^{k-1} + \dots + m_1x + m_0$$

に x^{n-k} を乗じ、その結果を生成多項式 $G(x)$ で割り、剰余を求めることによって行われる。すなわち、

$$M(x)x^{n-k} = Q(x)G(x) + R(x)$$

となる

$$R(x) = r_{n-k-1}x^{n-k-1} + \dots + r_1x + r_0$$

を求める。 $R(x)$ は剰余多項式と呼ばれる。この時、

$$W(x) = M(x)x^{n-k} - R(x)$$

を作れば、 $W(x)$ は符号多項式となる。 $W(x)$ の係数を高次の項から並べると、

$$(m_{k-1}, \dots, m_1, m_0, -r_{n-k-1}, \dots, -r_1, -r_0)$$

となり、左側に k 個の情報シンボルがそのまま表れ、右側に剰余多項式の係数に -1 を乗じたものが $n-k$ 個の検査シンボルとして表れる。

【0003】次に、従来の誤り訂正符号化装置を図5に基づいて説明する。ここでは、ガロア体 $GF(2^8)$ 上の、符号長 $n=255$ 、情報シンボル数 $k=251$ 、最小距離 $d=5$ の2重誤り訂正リードソロモン符号を例にとる。図11は、従来の誤り訂正符号化装置のブロック図である。図において501、 \sim 501₄は生成多項式、

$$G(x) = x^4 + g_3x^3 + g_2x^2 + g_1x + g_0$$

の各係数を乗じるガロア体定数乗算器で、それぞれ次の乗算を行う。

$$501, \dots \times g_3$$

$$501_1, \dots \times g_2$$

$$501_2, \dots \times g_1$$

$$501_3, \dots \times g_0$$

また、502、 \sim 502₄は8ビット幅のシフトレジスタ、503、 \sim 503₄はビットごとの排他的論理和演算を行うE₁ORゲート、504、 \sim 504₄はスイッチ、505は入力端子、506は出力端子である。

【0004】次に動作を説明する。まず、スイッチ504₁は接続状態にし、スイッチ504₄は図の下側に接続する。入力端子505に251個の情報シンボルを、 m_{250} から m_0 の順に、シフトしながら1シンボルずつ逐次入力する。全情報シンボルの入力終了後、スイッチ504₁を切り離し、スイッチ504₄は図の上側に接続し、レジスタ502₁、 \sim 502₄の内容を出力させる。以上の動作で、出力端子506からは符号多項式 $W(x)$ の係数が、高次の項から出力される。

【0005】次に誤り訂正復号装置の中の従来のシンドローム生成回路を図12に基づいて説明する。ただし、前述した従来の符号化装置により伝送されたリードソロモン符号を、受信したものとする。ここで受信多項式、

$$y(x) = y_{254}x^{254} + \dots + y_1x + y_0$$

4

に、生成多項式 $G(x)$ の根 α^i ($i=0, 1, 2, 3$) (α は原始多項式の根)を代入した、

$$S_i = y(\alpha^i)$$

をシンドロームという。図12は、従来のシンドローム生成回路のブロック図である。図において、601は8ビット幅のシフトレジスタ、602は α^1 を乗じるガロア体定数乗算器、603はビットごとの排他的論理和演算を行うE₁ORゲート、604は入力端子、605は出力端子である。

【0006】次にこのシンドローム生成回路の動作を説明する。受信シンボルを受信多項式の高次の項の係数の、 y_{254} から順次、低次の係数 y_0 の順に、シフトしながら1シンボルずつ、入力端子604に逐次入力すれば、シンドローム S_i が計算される。全受信シンボル入力後、出力端子605からはシンドローム S_i が出力される。

【0007】次に誤り訂正復号装置の中の従来のチェンサーチ回路を図13に基づいて説明する。チェンサーチとは、 t 重誤り訂正符号の誤り位置多項式、

$$\sigma(z) = z^t + \sigma_{t-1}z^{t-1} + \dots + \sigma_1z + \sigma_0$$

に α のべき α^i ($i=0, 1, \dots, n-1$)を逐次代入し、 $\sigma(\alpha^i)$ が0かどうか調べることで、誤りの位置を求める方法である。もし、 $\sigma(\alpha^i) = 0$ となれば、受信多項式、

$$y(x) = y_{254}x^{254} + \dots + y_1x + y_0$$

の受信シンボル y_i に誤りが生じたことになる。ここでは、前述した従来の符号化装置により伝送された符号を受信したものとする。すなわち検査シンボルは2重誤り訂正符号であるから、誤り位置多項式 $\sigma(z)$ は、

$$\sigma(z) = z^2 + \sigma_1z + \sigma_0$$

となる。また、 $\sigma(z)$ の係数 σ_1 、 σ_0 は、シンドロームによりあらかじめ計算されているものとする。 σ_1 、 σ_0 の計算方法は、前述の文献、『符号理論』(今井秀樹著、電子情報通信学会発行)に詳しく記載されている。図13は、従来のチェンサーチ装置のブロック図である。図において、701、702はガロア体定数乗算器で、それぞれ次の乗算を行う。

$$701 \dots \times \alpha$$

$$702 \dots \times \alpha^2$$

また、703、 \sim 703₄は8ビット幅のシフトレジスタ、704はビットごとの排他的論理和演算を行うE₁ORゲート、705は出力端子である。

【0008】次に動作を説明する。レジスタ703₁、703₂には、初期値として、レジスタ703₃には σ_1 、703₄には σ_0 を入れておき、シフトしながらレジスタの出力の和、すなわち出力端子705からの出力が、 σ_0 となるかどうかを調べる。初期状態で σ_0 となれば、 α^0 が $\sigma(z)$ の根であり、受信シンボル y_0 に誤りが生じたことになり、1回目のシフトの後 σ_0 となったとすれば、 α^1 が $\sigma(z)$ の根であり、受信シン

ポリ y_i に誤りが生じたことになる。

【0009】次に、上記復号装置とは別の復号装置の例を説明する。受信した符号が、ガロア体 $GF(2^8)$ 上の符号長 n が255より小さい短縮符号、例えば $n=36$ 、情報シンボル数 $k=32$ 、最小距離 $d=5$ の2重誤り訂正リードソロモン符号で、ある場合に、シンドロームを生成し、誤り位置多項式 $\sigma(z)$ の根を符号多項式の最高次の項からチェンサーチして調べる、従来の誤り訂正復号装置を、図14に基づいて説明する。図において、801はシンドローム生成回路で、図12に示した回路4個で構成される。そのうち804はシンドローム S_0 を、805はシンドローム S_1 を、806はシンドローム S_2 を、807はシンドローム S_3 をそれぞれ生成する。802は誤り位置多項式係数計算回路で、シンドローム $S_0 \sim S_3$ から前述した誤り位置多項式の係数、 σ_0 、 σ_1 を生成する。803はチェンサーチ回路で、図13に示した回路で構成され、前述の σ_0 、 σ_1 をレジスタにセットし、誤り位置を求める。812は入力端子、813は出力端子である。

【0010】次に動作を説明する。まず、シンドローム生成回路801において、前述した動作により、4個のシンドローム S_0 、 S_1 、 S_2 、 S_3 を生成する。このシンドロームにより、誤り位置多項式係数計算回路802において、誤り位置多項式、

$$\sigma(z) = z^2 + \sigma_1 z + \sigma_0$$

の係数 σ_1 、 σ_0 を計算する。次に、チェンサーチ回路803においてチェンサーチを行う。ただし、ガロア体定数乗算器809、810は、次の乗算を行うものとする。

$$809 \dots \times \alpha^{-1}$$

$$810 \dots \times \alpha^{-2}$$

まずレジスタの初期値として、レジスタ808₁に σ_1 、レジスタ808₀には"1"を入れておく。次に、シフトしながらレジスタの出力の和、すなわち出力端子813からの出力が、 σ_0 となるかどうかを調べる。一般にチェンサーチする場合には、受信多項式の最高次の次数からサーチしなければならない。しかし、本従来例では符号長 $n=36$ の短縮符号であるため、受信多項式は、

$$y(x) = y_{35}x^{35} + \dots + y_1x + y_0$$

となり、受信多項式の254次の項から36次の項までの係数は全零となる。したがって、最高次の項すなわち35次の項から誤りが生じているか否かを調べるためには、まず、 $255-36=219$ 回前もってシフトさせておく必要がある。次に、220回目のシフトの後、出力端子705からの出力が σ_0 となれば、 α^{35} が誤り位置多項式 $\sigma(z)$ の根となり、受信シンボル y_{35} に、誤りが生じたことになる。220+1回目のシフト後、出力端子705からの出力が σ_0 となれば、 α^{36-1} が $\sigma(z)$ の根となり、受信シンボル y^{36-1} に誤りが生じた

ことになる。

【0011】

【発明が解決しようとする課題】従来の誤り訂正符号化装置は、1シンボルずつの逐次処理を行う必要があり、高速に処理できないという課題があった。従来の誤り訂正復号装置におけるシンドローム生成回路は、1シンボルずつの逐次処理を行う必要があり、高速に処理できないという課題があった。また、従来の誤り訂正復号装置におけるチェンサーチ装置も、1シンボルずつの逐次処理を行う必要があり、高速に処理できないという課題があった。また更に、他の従来の誤り訂正復号装置は、ガロア体上の、符号長 n の短縮巡回符号の誤り位置多項式 $\sigma(z)$ の根を、チェンサーチにより、符号多項式の最高次の項から調べる際に、符号の短縮分に於て前もってシフト演算させておかなければならず、シフトに時間がかかるという課題があった。

【0012】本発明の目的は、従来の符号化に係る課題を解決するためになされたもので、複数のシンボルを同時に並列に誤り訂正符号化する、高速動作の誤り訂正符号化装置を得ることにある。本発明の他の目的は、従来復号中のシンドローム生成に係る課題を解決するためになされたもので、複数のシンボルを同時に並列にシンドローム生成する、高速動作のシンドローム生成回路を備えた誤り訂正復号装置を得ることにある。本発明の更に他の目的は、従来の復号中のチェンサーチに係る課題を解決するためになされたもので、複数のシンボルを同時に並列にチェンサーチする高速動作のチェンサーチ回路を備えた誤り訂正復号装置を得ることにある。本発明の更に他の目的は、従来の他の復号装置に係る課題を解決するためになされたもので、ガロア体上の、符号長 n の短縮巡回符号の誤り位置多項式 $\sigma(z)$ の根を、チェンサーチにより符号多項式の最高次の項から調べる際に、ただちにチェンサーチができる誤り訂正復号装置を得ることにある。

【0013】

【課題を解決するための手段】この発明に係る誤り訂正符号化装置は、複数入力端からの異なる情報シンボルの並列入力に対して、所定の数の検査シンボルに基づく段数のシフトレジスタと生成多項式と並列入力数で決まる各係数を乗じるガロア体乗算器とガロア体加算器とを用いて上記複数の情報シンボルから所定数の検査シンボルを得る誤り訂正符号化処理の接続を行い、上記並列入力数に対応して減らしたシフト数で、所定の数の検査シンボルを生成するようにした。

【0014】この発明に係る誤り訂正復号装置は、複数入力端からの異なる受信シンボルの並列入力に対し、複数の入力に基づくシンドローム計算のための係数を乗じる複数のガロア体乗算器とガロア体加算器とシフトレジスタとを用いて所定のシンドローム生成式を得る接続をして、並列入力数に対応して減らしたシフト数で、所定

のシンドロームを得るシンドローム生成回路を備えた。

【0015】または、シンドロームにより求まる誤り位置多項式の係数を初期設定するシフトレジスタとガロア体乗算器とを用いて誤り位置多項式の根として複数次シノボルを同時に調べる接続を行い、初期設定から上記同時に調べる複数次シノボル数に対応して減らしたシフト数で、誤り位置多項式の根を得るチェーンサーチ回路を備えた。

【0016】または、受信シノボルから必要な誤り位置多項式の係数を求めるための複数次のシンドローム生成回路と、このシンドローム生成回路で得られた複数次のシンドロームに対し、短縮分相当のガロア体上の元を乗算して符号多項式の低次の項のシノボルが全て零である短縮巡回符号のシンドロームに変換するガロア体定数計算回路と、この変換された短縮巡回符号のシンドロームにより誤り位置多項式の係数を計算する誤り位置多項式係数計算回路と、上記求めた誤り位置多項式の係数を初期設定して、高次の項からチェーンサーチをするチェーンサーチ回路とを備えた。

【0017】または、異なる受信シノボルの並列入力に対して複数次のガロア体乗算器とガロア体加算器とシフトレジスタとを用い、並列入力数に対応して減らしたシフト数で所定のシンドロームを得るシンドローム生成回路と、上記複数次のシンドロームにより求まる誤り位置多項式の係数を初期設定し、シフトレジスタとガロア体乗算器とを用いて誤り位置多項式の複数次の根を同時に調べる接続を行い、調べる複数次の根の数に対応して減らしたシフト数で誤り位置多項式の根を得るチェーンサーチ回路を備えた。

【0018】この発明に係る誤り訂正符号付きデータ伝送システムは、検査シノボルで決まる数のシフトレジスタとガロア体乗算器とガロア体加算器とを用い、複数次入力端から異なる情報シノボルを並列入力して、この並列入力数に対応して減らしたシフト数で所定の数の検査シノボルを生成する巡回符号の誤り訂正符号化装置と、異なる受信シノボルの並列入力に対して、複数次のガロア体乗算器とガロア体加算器とシフトレジスタとを用いて受信シノボルの並列入力数に対応して減らしたシフト数で所定のシンドロームを得るシンドローム生成回路を含む巡回符号の誤り訂正復号装置とを備えた。

【0019】この発明に係る誤り訂正符号の復号方法は、受信した符号語から生成されるシンドロームに対し符号長と短縮符号長の差の分のガロア体上の元を乗算するステップと、上記で得られたシフトされたシンドロームから誤り位置多項式の係数を求めるステップと、上記で得られた誤り位置多項式の係数に基づいて短縮符号分の誤り位置を求めるステップとを備えた。

【0020】この発明に係るBCH符号の誤り訂正符号化装置は、複数次入力端からの異なる情報ビットの並列入力に対して、所定の数の検査ビットに対応する段数のシ

フトレジスタを備え、生成多項式で剰余計算を単一ビット入力を上記複数次回行ったと等価な除算結果となる論理演算回路接続をシフトレジスタに行い、並列入力数に対応して減らしたシフト数で、上記所定の数の検査ビットを生成するようにした。

【0021】この発明に係るBCH符号の誤り訂正復号装置は、複数次入力端からの異なる受信ビットの並列入力に対して、所定のビット数のシンドロームを得るビット数対応のレジスタを備え、求めるシンドロームを単一ビット入力を上記複数次回行ったと等価な演算となる論理演算回路接続をシフトレジスタに行い、並列入力数に対応して減らしたシフト数で、所定のシンドロームを得るシンドローム生成回路を備えた。

【0022】

【作用】この発明による誤り訂正符号化装置は、複数次の異なる情報シノボルが並列入力され、各段のシフトレジスタは1回のシフトで必要な生成多項式の複数次シフト分の係数が得られる接続となっているので、本来の必要シフト分に対し並列入力数分の1に減らした回数分のシフトで、各段のシフトレジスタには所定の検査シノボルが得られる。

【0023】この発明による誤り訂正復号装置は、そのシンドローム生成回路において、複数次の異なる受信シノボルが並列入力されて1つのシンドロームが得られる接続となっており、本来の必要シフト分に対して並列入力数分の1に減らした回数分のシフトで所定のシンドロームが得られる。

【0024】または、そのチェーンサーチ回路において、誤り位置多項式の複数次シノボルを同時に調べて根を求める接続となっており、本来の必要シフト分に対して同時に調べるシノボル数分の1に減らした回数分のシフトで所定のチェーンサーチ結果が得られる。

【0025】または、そのガロア体定数計算回路において、シンドローム生成回路の各出力が必要な短縮分相当のガロア体上の元を乗算されて短縮巡回符号のシンドロームに変換され、チェーンサーチ回路では符号長の短い情報シノボルに対してもすぐに多項式の高次の係数からチェーンサーチを開始する。

【0026】または、そのシンドローム生成回路において、複数次の異なる受信シノボルが並列入力されて1つのシンドロームが得られる接続となっており、本来の必要シフト分に対して並列入力数分の1に減らした回数分のシフトで所定のシンドロームが得られ、その値により誤り位置多項式の係数が計算されて、その結果からチェーンサーチ回路において、誤り位置多項式の複数次シノボルを同時に調べる接続により、必要シフト分に対して同時に調べるシノボル数分の1に減らした回数分のシフトで所定のチェーンサーチ結果が得られる。

【0027】この発明による誤り訂正符号付きデータ伝送システムは、その誤り訂正符号化装置で、複数次の異なる

る情報シンボルが並列入力され、各段のシフトレジスタは1回のシフトで必要な生成多項式の複数シフト分の係数が得られる接続により、本来の必要シフト分に対し並列入力数分の1に減らした回数のシフトで、各段のシフトレジスタには所定の検査シンボルが得られる。これら得られた符号化装置側の検査シンボルと情報シンボルからなる送信符号は、復号装置側では受信シンボルとなり、そのシンドローム生成回路において、複数の異なる受信シンボルが並列入力されて1つのシンドロームが得られる接続により、必要シフト分に対して並列入力数分の1に減らした回数のシフトで、所定のシンドロームが得られる。これを用いて復号がなされる。

【0028】この発明による誤り訂正符号の復号方法は、受信した符号語のシンドロームに対して短縮符号長からの演算ができるようガロア体上の元の乗算がされ、シフトされたシンドロームが生成される。このシフトされたシンドロームから誤り位置多項式の係数が得られ、得られた係数を用いて元の符号長の回数よりも短い回数で短縮符号長の誤り位置が得られる。

【0029】この発明によるBCH符号の誤り訂正符号化装置は、並列入力端子からの並列BCH符号に対してほぼ並列数に対応した少ないシフトで検査ビットが生成される。

【0030】この発明によるBCH符号の誤り訂正復号装置は、並列入力端子からの受信ビットに対応した少ないシフトでシンドロームが得られる。

【0031】

【実施例】

実施例1. 図1は本発明の誤り訂正符号化器、誤り訂正復号器が用いられる一般的なシステムの例を示したシステム構成図である。図は通信システムを表し、10は送信機、1は送信側の情報源、2はその情報を受け取り、電気信号に変換する変換器、3は入力信号を符号化する符号化器、4は変調器である。こうして送信情報は変調して5の通信路に送られる。それが有線であれ、無線であれ、通信路5では雑音の影響を受けて、外乱を受けた信号が11の受信機で受信される。情報は受信側の6の復調器で元の波形に復元され、7の復号器で復号され、8の受信回路で所望の受信信号に変換して、9のユーザに届けられる。図2は更に他のレコーダ等の録音・再生システムの例を示したシステム構成図である。図において、21は情報源で、これを30の録音機では、22の変換器であるマイクロフォンで電気信号に変換して入力する。23は入力を符号化する符号化器で、24の変調器で変調して、25の例えばテープレコーダの記録系に録音する。記録系25では記録・再生時に雑音の影響を受ける。31の再生機では、まず信号をテープから取り込み、記録信号を26の復調器で復調し、27の復号器で復号し、元の電気信号に戻して、28の再生回路を経由して例えばスピーカで音声として29のユーザに届け

られる。

【0032】本発明の誤り訂正符号化装置と、誤り訂正復号装置は、図1または図2のシステムにおいて、符号化器3、23と、復号器7、27に適用するものである。本発明の誤り訂正符号化装置と、誤り訂正復号装置は、この符号化器と、復号器に適用するものである。後に述べるように訂正符号化装置と誤り訂正復号装置は専用ハードウェアで構成されるものと、汎用のプロセッサがソフトウェアで実行する構成のものがある。いずれにせよ通信路または記録系の悪影響を避けるため、誤り訂正符号化を行い、受信側ではこれに基づいて誤り訂正復号する。この際にそれぞれの処理時間を短縮することが重要になる。以下の実施例ではそれぞれの具体的な適用例を述べる。

【0033】本発明の、複数の並列入力による誤り訂正符号化装置の一実施例を図3に基づいて説明する。まず符号化方式を説明する。ガロア体 $GF(2^8)$ 上の、符号長 $n=255$ 、情報シンボル数 $k=251$ 、最小距離 $d=5$ の2重誤り訂正リードソロモン符号による符号化を行う。リードソロモン符号は8ビットで1シンボルとする。生成多項式、

$$G(x) = x^4 + g_3 x^3 + g_2 x^2 + g_1 x + g_0$$

は、1、 α 、 α^2 、 α^3 (α は原始多項式の根)を根として持つものとする。また、本実施例では、2つの情報シンボルを装置に同時に入力して並列に符号化処理する例を説明する。なお、並列処理するシンボル数は2以上にすることもでき、2シンボル並列処理とすることは、本発明の効果を限定するものではない。

【0034】図3は、誤り訂正符号化装置のブロック図である。図において101₁～101₄は8ビット幅のシフトレジスタ、102₁～102₄はガロア体定数乗算器でそれぞれ次の乗算を行う。

$$102_1 \cdots \times (g_3^2 + g_2)$$

$$102_2 \cdots \times (g_3 g_2 + g_1)$$

$$102_3 \cdots \times (g_3 g_1 + g_0)$$

$$102_4 \cdots \times (g_3 g_0)$$

$$102_5 \cdots \times g_3$$

$$102_6 \cdots \times g_2$$

$$102_7 \cdots \times g_1$$

$$102_8 \cdots \times g_0$$

$$102_9 \cdots \times (g_3^2 + g_2)$$

$$102_{10} \cdots \times g_3$$

$$102_{11} \cdots \times (g_3 g_2 + g_1)$$

$$102_{12} \cdots \times g_2$$

$$102_{13} \cdots \times (g_3 g_1 + g_0)$$

$$102_{14} \cdots \times g_1$$

$$102_{15} \cdots \times (g_3 g_0)$$

$$102_{16} \cdots \times g_0$$

また、103₁～103₄はビットごとの排他的論理和演算を行うE₁ ORゲート、104₁、104₂は入力

端子、105_a、～105_dは出力端子である。

【0035】次に動作を説明する。情報シンボル m_{250} 、…、 m_0 のうち添え字が偶数のシンボルを m_{250} 、 m_{248} …の順に入力端子104_aに入力し、添え字が奇数のシンボルを m_{249} 、 m_{247} …の順に入力端子104_bに入力する。この装置は、1回のシフト動作で、前述した従来の誤り訂正符号化装置(図11)の2回シフト動作と等価な演算結果を得ることができる。逆に云えば1シフトで従来の2シフトになるような回路構成となっている。例えば、レジスタ101_a、101_b、101_c、101_dに保持されている値が、それぞれ”A”、”B”、”C”、”D”の時に、入力端子104_aに情報シンボル m_i 、入力端子104_bに情報シンボル m_j を入力し、1回のシフトをおこなうと、レジスタの内容は、次のようになる。

$$101_a \cdots (g_3^2 + g_2) A + g_3 B + C + (g_3^2 + g_2) m_j + g_3 m_i$$

$$101_b \cdots (g_3 g_2 + g_1) A + g_2 B + D + (g_3 g_2 + g_1) m_i + g_2 m_j$$

$$101_c \cdots (g_3 g_1 + g_0) A + g_1 B + (g_3 g_1 + g_0) m_j + g_1 m_i$$

$$101_d \cdots (g_3 g_0) A + g_0 B + (g_3 g_0) m_j + g_0 m_i$$

つまり、各レジスタが上記演算結果となる回路構成としている。

【0036】符号化は以下の手順で行われる。まずはじめに、情報シンボル m_{250} を入力端子104_aに入力し、同時に、入力端子104_bには全零を入力する。レジスタ101_a～101_dの初期値は、全零としておく。次に、一回シフトさせ、ガロア体定数乗算、およびE、OR演算が行われ、演算結果をレジスタ101_a～101_dに格納する。次に情報シンボル m_{248} を入力端子104_aに入力し、同時に、情報シンボル m_{249} を入力端子104_bに入力し、同様な動作を行う。以下、情報シンボル m_i 、情報シンボル m_0 まで同様な動作を繰り返す。全ての演算が終了した後、出力端子105_a、105_b、105_c、105_dから出力が、それぞれ検査シンボル r_3 、 r_2 、 r_1 、 r_0 となる。

【0037】次に、この装置の動作速度および回路規模を説明する。まず、動作速度を説明する。この装置の最長経路は、ガロア体定数乗算器1段、E、ORゲート3段となり、前述した従来の符号化装置と比較してE、ORゲートが1段多い。しかし、2シンボルを並列処理することにより、従来の装置より、2倍近くの高速化が可能である。次に、回路規模を説明する。ガロア体定数乗算器は従来の装置の2倍必要であるが、シフトレジスタは従来と同じ個数でよく、装置全体では、2倍未満で構成できる。

【0038】この実施例では、ガロア体GF(2⁸)上の符号長 $n=255$ 、情報シンボル数 $k=251$ 、最小

距離 $d=5$ のリードソロモン符号による誤り訂正符号化装置を説明したが、符号長 n が255以下の短縮符号で、かつ n が奇数の場合の符号を用いた場合も、同様な動作で符号化処理することができる。

【0039】この実施例では、ガロア体GF(2⁸)上の符号長 $n=255$ 、情報シンボル数 $k=251$ 、最小距離 $d=5$ のリードソロモン符号による誤り訂正符号化装置を説明したが、符号長 n が255以下の短縮符号で、かつ n が偶数の場合の符号を用いた場合は、情報シンボルのうち添え字が偶数のシンボルを入力端子104_aに入力し、添え字が奇数のシンボルを入力端子104_bに入力すればよい。この場合、入力端子104_aにはじめに全零を入力する必要はない。最小距離が違ふ値となり検査シンボル数が違ふ場合は、生成多項式が違つてきてシフトレジスタの段数が異なるが、対応した符号化回路を容易に構成できる。

【0040】この実施例では、ガロア体GF(2⁸)上の符号長 $n=255$ 、情報シンボル数 $k=251$ 、最小距離 $d=5$ のリードソロモン符号による誤り訂正符号化装置を説明したが、他の巡回符号例えばBCH符号による誤り訂正符号化装置もビット数は異なっても同様に構成できる。

【0041】この実施例では、2つの情報シンボルを並列処理する場合を説明したが、 n 個の情報シンボルを並列処理する場合は、1回のシフト動作で、前述した従来の符号化装置では n 回のシフト動作で得られた結果と、等価な結果を得られるように装置を構成すればよい。例えば4シンボルを並列処理する場合は、次のようにする。情報シンボル m_i 、 m_j 、 m_k 、 m_l (符号多項式における次数は、 $m_i > m_j > m_k > m_l$ とする)を同時に符号化処理する場合は、1回のシフト動作で、レジスタの内容が、それぞれ、

$$101_a \cdots (g_3^4 + 3g_3^2 g_2 + 2g_3 g_1 + g_2^2 + g_0) A + (g_3^3 + g_3^2 g_2 + g_3 g_2 + g_1) B + (g_3^2 + g_2) C + g_3 D + (g_3^4 + 3g_3^2 g_2 + 2g_3 g_1 + g_2^2 + g_0) m_l + (g_3^3 + g_3^2 g_2 + g_3 g_2 + g_1) m_i + (g_3^2 + g_2) m_k + g_3 m_j$$

$$101_b \cdots (g_3^3 g_2 + g_3^2 g_1 + 2g_3 g_2^2 + g_3 g_0 + 2g_2 g_1) A + (g_3^2 g_2 + g_3 g_1 + g_2^2 + g_0) B + (g_3 g_2 + g_1) C + g_2 D + (g_3^3 g_2 + g_3^2 g_1 + 2g_3 g_2^2 + g_3 g_0 + 2g_2 g_1) m_l + (g_3^2 g_2 + g_3 g_1 + g_2^2 + g_0) m_j + (g_3 g_2 + g_1) m_k + g_2 m_i$$

$$101_c \cdots (g_3^3 g_1 + g_3^2 g_0 + 2g_3 g_2 g_1 + g_2 g_0 + g_1^2) A + (g_3^2 g_1 + g_3 g_0 + g_2 g_1) B + (g_3 g_1 + g_0) C + g_1 D + (g_3^3 g_1 + g_3^2 g_0 + 2g_3 g_2 g_1 + g_2 g_0 + g_1^2) m_l + (g_3 g_1 + g_0) m_k + g_1 m_i$$

$$101_d \cdots (g_3^3 g_0 + 2g_3 g_2 g_0 + g_1 g_0) A + (g_3^2 g_0 + g_2 g_0) B + (g_3 g_0) C + g_0 D$$

$(g_3^3 g_0 + 2 g_3 g_2 g_0 + g_1 g_0) m_1 + (g_3^2 g_0 + g_2 g_0) m_2 + (g_3 g_0) m_3 + g_0 m_4$ となるように装置を構成すればよい。

【0042】実施例2. 同じく並列入力の誤り訂正符号化装置の他の例を述べる。図4は符号長 $n=15$ 、情報長 $k=7$ の2ビット訂正BCH符号で、生成多項式が $G(X) = X^8 + X^7 + X^6 + X + 1$ である8ビットパラレルの符号化回路の例である。図において、111a~111hは1ビットのシフトレジスタ、113aで表される記号は1ビット排他的論理和を得るEX OR、114a~114hは入力端子である。出力のチェックビットはシフトレジスタ111a~111hの出力から得られる。この回路の動作としては、このBCH符号長が最大15ビットまでしかとれないので2回の入力で符号化演算が終了し、8ビットのチェックビットが計算される。なお、1回目の入力のLSBには0を入力する。通常の符号化回路が15回の入力が必要であったのに対し、回路規模は増大するが、2回の入力で検査ビットが得られる。

【0043】実施例3. 本発明の、複数受信シンボルの並列入力によるシンドローム生成処理を行う誤り訂正復号装置の一実施例を図5に基づいて説明する。この実施例では、実施例1において述べた符号化方式で伝送された受信語がシンドローム生成回路に入力されたものとする。また、本実施例では、2つの受信シンボルを同時に装置に入力し、並列に処理する。なお、並列処理するシンボル数は2以上にすることもできる。図5は、誤り訂正復号装置内の1つのシンドローム生成回路のブロック図である。図において201、202はガロア体定数乗算器で、それぞれ次の乗算を行う。

$$201 \cdots \times \alpha^1$$

$$202 \cdots \times \alpha^{2^1}$$

また、203は8ビット幅のシフトレジスタ、204、204はビットごとの排他的論理和演算を行うEORゲート、205、205は入力端子、206は出力端子である。

【0044】次に動作を説明する。255シンボルから成る受信語、

$$y = (y_{254}, \dots, y_1, y_0)$$

のうち添え字が偶数のシンボルを入力端子205₁に、奇数のシンボルを入力端子205₂に入力する。この回路は、1回のシフト動作で、前述した従来のシンドローム生成回路(図12)の2回シフト動作と等価な演算結果を得ることができる。シンドローム S_1 は以下の手順で算出される。まずはじめに、レジスタ203の初期値は全零としておき、入力端子205₁に y_{254} を、入力端子205₂に全零を入力する。次に、1回シフトして演算結果をレジスタ203に格納する。次に、入力端子205₁に y_{252} を、入力端子205₂に y_{253} を入力し、同様な動作を行う。以下 y_1 、 y_0 まで同様な動作

を繰り返す。これら全ての演算が終了すると、出力端子206からはシンドローム S_1 が出力される。一般的には、シンドローム生成回路は検査シンボル数の数だけ用意される。

【0045】次に、この回路の動作速度および回路規模を説明する。まず、動作速度を説明する。この回路の最長経路は、ガロア体定数乗算器1段、EORゲート2段となり、前述した従来のシンドローム生成装置と比較してEORゲートが1段多い。しかし、2シンボルを並列処理することにより、従来の装置より、2倍近くの高速度が可能である。次に、回路規模を説明する。ガロア体定数乗算器は従来の装置の2倍必要であるが、シフトレジスタは従来と同じ個数でよく、装置全体では、2倍未満で構成できる。

【0046】この実施例では、符号長 $n=255$ としたが、 n が255より小さく、かつ n が奇数の短縮符号を用いた場合も、同様な動作でシンドローム S_1 が計算できる。また検査シンボル数が減ると、シンドローム生成回路数も減る。この実施例では、符号長 $n=255$ としたが、符号長 n が255以下の短縮符号で、かつ n が偶数の場合の符号を用いた場合は、情報シンボルのうち添え字が偶数のシンボルを入力端子205₁に入力し、添え字が奇数のシンボルを入力端子205₂に入力する。この場合、入力端子205₁にははじめに全零を入力する必要はない。

【0047】この実施例では、ガロア体 $GF(2^8)$ 上の符号長 $n=255$ 、情報シンボル数 $k=251$ 、最小距離 $d=5$ のリードソロモン符号による場合を説明したが、他の巡回符号、例えばBCH符号等によるシンドローム生成処理を行う誤り訂正復号装置もビット数はことなるが同様に構成できる。また検査シンボル数が減ると、シンドローム生成回路数も減る。

【0048】この実施例では、2つの受信シンボルを並列処理する場合を説明したが、 n 個の情報シンボルを並列処理する場合は、1回のシフト動作で、前述した従来のシンドローム生成装置では n 回のシフト動作で得られた結果と、等価な結果を得られるように装置を構成すればよい。例えば4シンボルを並列処理する場合は、次のようにする。受信シンボル y_1 、 y_2 、 y_3 、 y_4 (受信多項式における次数は、 $y_1 < y_2 < y_3 < y_4$ とする)を同時にシンドローム生成処理する場合は、レジスタの内容が“A”の時、1回のシフト動作でレジスタの内容が、

$$A \alpha^{4^1} + y_1 \alpha^{4^1} + y_2 \alpha^{3^1} + y_3 \alpha^{2^1} + y_4 \alpha^1$$

となるように装置を構成すればよい。

【0049】実施例4. 本発明の他の複数の符号の同時入力によるシンドローム生成処理をする誤り訂正復号装置の例を説明する。図6は実施例2のBCH符号化回路に対応する8ビットパラレルの入力シンドローム生成回路である。符号長、生成多項式はいずれも実施例2と同

様とする。図において、211a~211d、212a~212dは1ビットのシフトレジスタ、214a等で表される記号はEx OR、215a~215hは入力端子である。この回路の動作は、各1ビットの計8ビット並列入力に対して、出力であるシンドロームはシフトレジスタ211a~211dの4個にシンドロームS1が、シフトレジスタ212a~212dの4個にシンドロームS3が計算され、2つの4ビット値として得られる。

【0050】実施例5. 本発明の、誤り位置多項式の複数の根を並行して同時に求める方式のチェンサーチ処理を行う誤り訂正復号装置の一実施例を図7に基づいて説明する。この実施例では、そのチェンサーチ回路において、実施例1で述べた符号化装置で生成された符号語が伝送されて得た受信語に、2重誤りが生起しているものとする。また、誤り位置多項式、

$$\sigma(z) = z^2 + \sigma_1 z + \sigma_0$$

の係数、 σ_1 、 σ_0 は、シンドロームによりあらかじめ計算されているものとする。本実施例では、 $\sigma(z)$ の根として α^i と α^{i+1} ($i=0, 2, 4, \dots, 252$)の2シンボルを同時に調べる。なお、並列処理するシンボル数は2以上にすることもできる。図7は誤り訂正符号化復号装置内のチェンサーチ回路のブロック図である。図において、301、302、302、303はガロア体定数乗算器で、それぞれ次の乗算を行う。

$$301 \quad \dots \times \alpha$$

$$302, 302 \quad \dots \times \alpha^2$$

$$303 \quad \dots \times \alpha^4$$

304、304は8ビット幅のシフトレジスタ、305、305はビットごとの排他的論理和演算を行うEORゲート、306、306は出力端子である。

【0051】次に動作を説明する。まず、レジスタ304、304の初期値として、304には σ_1 、304には"1"を入れておく。そして、出力端子306、306の出力が σ_0 かどうかを調べる。出力端子306の出力が σ_0 であれば、 α^0 が $\sigma(z)$ の根であり、受信シンボル y_0 に誤りが生じていることになる。出力端子306の出力が σ_0 であれば、 α^1 が $\sigma(z)$ の根であり、受信シンボル y_1 に誤りが生じていることになる。次に、1回シフトして、出力端子306、306の出力が σ_0 かどうかを調べる。出力端子306の出力が σ_0 であれば、 α^2 が $\sigma(z)$ の根であり、受信シンボル y_2 に誤りが生じていることになる。出力端子306の出力が σ_0 であれば、 α^3 が $\sigma(z)$ の根であり、受信シンボル y_3 に誤りが生じていることになる。以下同様の動作を繰返し、 α^{254} まで調べ、 $\sigma(z)$ の2つの根を求める。

【0052】次に、この装置の動作速度および回路規模を説明する。まず、動作速度を説明する。この装置の最

長経路は、ガロア体定数乗算器1段となり、前述した従来のチェンサーチ装置と同程度である。したがって、2シンボルを並列処理することにより、従来の装置より、2倍近くの高速度が可能である。次に、回路規模を説明する。ガロア体定数乗算器は従来の装置の2倍必要であるが、シフトレジスタは従来と同じ個数でよく、装置全体では、2倍未満で構成できる。

【0053】この実施例では、2重誤りが生起した場合を説明したが、1重誤りが生起した場合の装置も容易に構成できる。この実施例では、ガロア体GF(2⁸)上の符号長n=255、情報シンボル数k=251、最小距離d=5のリードソロモン符号による場合を説明したが、他の符号による装置も容易に構成できる。

【0054】この実施例では、誤り位置多項式 $\sigma(z)$ の根として、2つのシンボルを同時に調べる装置を説明したが、n個のシンボルを同時に調べるためには、1回のシフト動作で、前述した従来のチェンサーチ装置ではn回のシフト動作で得られた結果と、等価な結果を得るように、ガロア体乗算器を構成すればよい。

【0055】実施例6. 実施例5では8ビットを1シンボルとする符号長で、2シンボルを同時に求める、つまり約半分の処理時間で誤り位置を求めるチェンサーチ回路を用いた誤り訂正復号装置の例を説明した。本実施例では、符号長n=15で4ビットが1シンボルで、8シンボルを同時に求めるチェンサーチ回路の例を説明する。図8は本実施例のチェンサーチ回路を示す図である。図において、314a、314bは初期値設定用のレジスタ、315a~315hは4ビットの排他的論理和を得るEX OR、316a~316hは並列の各出力端子である。また321、322a、322b、323、324a、324b、325、326a、326b、327、328a、328b、329、330、331、332は4ビットのガロア体乗算器である。この動作は前の実施例と同様である。すなわちレジスタ314a、314bに σ_1 、1を入れ、出力端子316a~316hに σ_0 が出るかどうかを調べる。図の構成によれば、8シンボルの根が同時に求められ、したがって従来の回路よりも8分の1の時間で誤り位置が求められる。

【0056】実施例7. 本発明の、他の目的である短縮符号に対応して予め短縮分相当のガロア体上の元を乗算してシンドロームを変換した誤り訂正復号装置の一実施例を説明する。この実施例では、符号語は、ガロア体GF(2⁸)上のリードソロモン符号の短縮符号で、符号長n=36、情報シンボル数k=32、最小距離d=5の2重誤り訂正符号であるとする。その場合、情報シンボルが符号多項式w(x)の35次から4次の項の係数に、検査シンボルがw(x)の3次から0次の項の係数に割り当てられ、その他の項の係数は全零である符号を受信することになる。また、受信語には2重誤りが生起

しているものとする。図9は、誤り訂正復号装置のブロック図である。図において、401はシンドローム生成回路で、本実施例では、図12に示した回路と同様な回路を4個有する。そのうち405はシンドローム S_0 を、406はシンドローム S_1 を、407はシンドローム S_2 を、408はシンドローム S_3 をそれぞれ生成する。402は本実施例での中心となる要素であり、ガロア体定数乗算回路である。そのうち409は $\alpha^{2^{19}}$ 、410は $\alpha^{2^{19} \cdot 2}$ 、411は $\alpha^{2^{19} \cdot 3}$ を乗じる回路である。403は誤り位置多項式係数計算回路で、前述した誤り位置多項式の係数、 σ_0 、 σ_1 を生成する。404はチェンサーチ回路で、図14に示した回路で構成される。416は入力端子、417は出力端子である。

【0057】次に動作を説明する。まず、受信シンボルを受信多項式の35次の項の係数から、 $y_{35} \dots y_0$ の順に、入力端子416入力し、さらにシンドローム生成回路401に入力し、従来の技術と同様な動作を行い、4個のシンドローム S_0 、 S_1 、 S_2 、 S_3 を計算する。次に、ガロア体定数乗算回路402に4個のシンドロームを入力し、シンドローム S_1 には $\alpha^{2^{19}}$ を、シンドローム S_2 には $\alpha^{2^{19} \cdot 2}$ を、シンドローム S_3 には $\alpha^{2^{19} \cdot 3}$ を乗算する。ただし、シンドローム S_0 には何も乗算は行わない。この演算の結果、新たに計算されたシンドロームは、符号多項式 $w(x)$ の高次の項の係数、すなわち、 $w(x)$ の254次から223次の項の係数に情報シンボルが、 $w(x)$ の222次から219次の項の係数に検査シンボルが割り当てられ、その他の項の係数は全零である符号のシンドロームとなっている。即ち、低次以降の項の係数を最高次以降にシフトすることになる。こうすることで35次の項係数からチェンサーチできることになる。

【0058】次に、このシンドロームから、誤り位置多項式係数計算回路403において、誤り位置多項式、 $\sigma(z) = z^2 + \sigma_1 z + \sigma_0$ の係数 σ_1 、 σ_0 を計算する。次に、誤り位置多項式 $\sigma(z)$ の根を求めるために、チェンサーチ回路404においてチェンサーチを行う。この回路は、従来の図14のチェンサーチ装置で構成され、ガロア体定数乗算器413、414では次の乗算を行う。

$$413 \dots \times \alpha^{-1}$$

$$414 \dots \times \alpha^{-2}$$

チェンサーチは次の手順で行われる。まず、レジスタ412_a、412_bの初期値として、412_aには σ_1 、412_bには"1"を入れておく。そして、1回シフトして、出力端子417の出力が σ_0 かどうかを調べる。出力端子417の出力が σ_0 であれば、 $\alpha^{2^{54}}$ が $\sigma(z)$ の根となり、受信シンボル y_{35} に誤りが生じていることになる。次に、さらに1回シフトして、出力端子417の出力が σ_0 かどうかを調べる。出力端子417の出力が σ_0 であれば、 $\alpha^{2^{53}}$ が $\sigma(z)$ の根であり、受信シ

ンボル y_{34} に誤りが生じていることになる。以下同様の動作を繰返し、 $\sigma(z)$ の2つの根を求める。

【0059】この実施例では、1シンボルずつの逐次処理を行ったが、前述したシンドローム生成処理を行う誤り訂正復号装置およびチェンサーチ処理を行う誤り訂正復号装置と同様に、複数のシンボルを並列処理する装置を構成することは容易である。

【0060】この実施例では、ガロア体 $GF(2^8)$ 上の符号長 $n=255$ 、情報シンボル数 $k=251$ 、最小距離 $d=5$ のリードソロモン符号による装置を説明したが、他の巡回符号による装置も容易に構成できる。

【0061】実施例8。上記実施例では、誤り訂正復号装置内の各回路がそれぞれ単独で複数入力処理し、また複数の根を並行して求める例を説明した。これらを組合わせて、例えば実施例3と実施例5を組合わせて、複数の受信語を同時に入力してシンドローム計算をし、得られた結果からチェンサーチで複数の根を同時に求める誤り訂正復号装置を構成することもできる。即ち、図9の構成で、シンドローム生成回路401の各要素405～408をそれぞれ図5に示す要素とし、チェンサーチ回路404が図7に示す回路とすればよい。

【0062】実施例9。上記実施例では、符号化装置と復号装置のそれぞれに単独で複数符号の並列出力、並列入力処理の例を説明した。これらを組合わせて処理時間効率のよいデータ伝送システムを構成することが出来る。即ち、実施例1の誤り訂正符号化装置と、実施例2の誤り訂正復号装置を組合わせて誤り訂正符号付データ伝送システムを構成することができる。

【0063】実施例10。実施例7ではガロア体上の元を乗算する専用の乗算器を用いた誤り訂正復号装置の例を説明した。これは専用の乗算器を用いなくても通常の誤り訂正復号装置で以下の方法をとれば同様の演算時間の短縮が得られる。図10(b)は、従来の方法である図10(a)の方法と対比しての本発明の方法を説明するフローチャート図である。図において、シンドローム生成回路で得られたシンドロームを、まずステップS1で演算不要な符号長と短縮符号長との差の分のガロア体上の元を乗算する。具体的には、例えば符号長が N 、短縮符号長が n とすると、シンドローム S_i に対してガロア体定数 $\alpha^{(N-n) \cdot i}$ を乗算する。すなわち S_1 に対しては α^{N-n} 、 S_3 に対しては $\alpha^{3(N-n)}$ を乗算する。この演算が従来にはなかった新規なステップである。

【0064】本発明の方法による動作を説明する。スタートで例えば8ビットのシンドロームが得られて、ステップS1で所要の短縮分のガロア体定数乗算をする。例えば4個のシンドロームに対して4回の定数乗算を行い、ステップS2で誤り位置多項式の係数を計算する。ステップS3からステップS6までは、計算自体としては、従来のステップS52からステップS55までのチェンサーチの方法と同様である。しかし従来はステップ

S 5 5 で N 回の計算が必要であったのに対し、本発明の方法ではステップ S 6 で短縮符号の符号長 n 回の計算でよい。

【0065】

【発明の効果】以上のように本発明の誤り訂正符号化装置は複数シンボルを並列処理する構成としたので少ないシフト数で必要な検査シンボルが得られる効果がある。

【0066】本発明のシンドローム生成回路を含む誤り訂正復号装置は複数シンボルを並列処理する構成としたので、少ないシフト数で必要なシンドロームが得られる効果がある。

【0067】本発明のチェンサーチ回路を含む誤り訂正復号装置は複数シンボルを並列処理する構成としたので、複数のチェンサーチ結果を同時に得て、サーチ時間を短縮できる効果がある。

【0068】また、本発明のガロア体乗数による係数の高次シフトを含む誤り訂正復号装置は、短縮符号の符号多項式の最高次の項からチェンサーチする際に、符号の短縮分に応じた余計なシフト演算の必要がなく、チェンサーチ時間を短縮できる効果がある。

【0069】また、複数符号の並列入力処理を行ない、複数のチェンサーチを同時に行なう構成としたので、復号処理時間を短縮する効果がある。

【0070】また、複数シンボルを並列入力して少ないシフト数で検査シンボルを生成する誤り訂正符号化装置と、複数受信語を入力して少ないシフト数でシンドロームを生成する誤り訂正復号装置を備えたので、符号化と復号の時間を短縮する効果がある。

【0071】本発明の誤り訂正復号方法では、シンドローム生成結果に対してガロア体上の元の定数を乗算してシフトしたシンドロームを生成してから誤り位置を求めるようにしたので、汎用の誤り訂正復号システムであっても処理時間が短縮できる効果がある。

【0072】本発明の BCH 符号の誤り訂正符号化装置では、並列入力に対する生成多項式論理回路を構成したので、検査ビットの算出が短時間に行える効果がある。

【0073】本発明の BCH 符号の誤り訂正復号装置では、並列受信ビットに対する複数シンドローム生成回路を構成したので、シンドロームの算出が短時間に行える効果がある。

【図面の簡単な説明】

【図 1】 本発明の誤り訂正符号化器、誤り訂正復号器が用いられる通信系システムの構成図である。

【図 2】 本発明の誤り訂正符号化器、誤り訂正復号器が用いられる記録系システムの構成図である。

【図 3】 本発明の実施例 1 の誤り訂正符号化装置の構成ブロック図である。

【図 4】 本発明の実施例 2 の誤り訂正符号化装置の構成ブロック図である。

【図 5】 本発明の実施例 3 の誤り訂正復号装置内のシンドローム生成回路の構成ブロック図である。

【図 6】 本発明の実施例 4 の誤り訂正復号装置内のシンドローム生成回路の構成ブロック図である。

【図 7】 本発明の実施例 5 の誤り訂正復号装置内のチェンサーチ回路の構成ブロック図である。

【図 8】 本発明の実施例 6 の誤り訂正復号装置内のチェンサーチ回路の構成ブロック図である。

【図 9】 本発明の実施例 7 の誤り訂正復号装置の構成ブロック図である。

【図 10】 従来の誤り訂正復号方法と本発明の実施例 10 の誤り訂正復号方法とを対比したフローチャート図である。

【図 11】 従来の誤り訂正符号化装置の構成ブロック図である。

【図 12】 従来のシンドローム生成回路の構成ブロック図である。

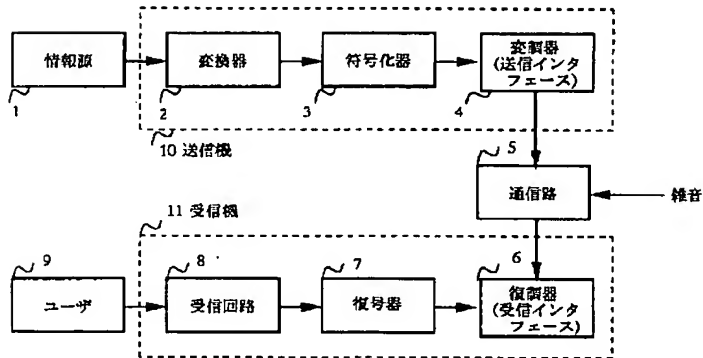
【図 13】 従来のチェンサーチ回路の構成ブロック図である。

【図 14】 従来の誤り訂正復号装置の構成ブロック図である。

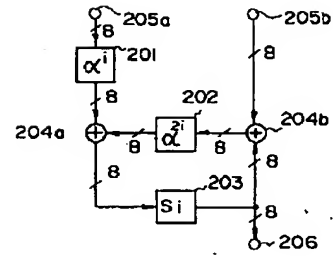
【符号の説明】

101_a, 101_b, 101_c, 101_d 8ビット幅のシフトレジスタ、102_a, 102_b, 102_c, 102_d, 102_e, 102_f, 102_g, 102_h, 102_i, 102_j, 102_k, 102_l, 102_m, 102_n, 102_o, 102_p ガロア体定数乗算器、103_a, 103_b, 103_c, 103_d, 103_e, 103_f, 103_g, 103_h, 103_i, 103_j, 103_k, 103_l, 103_m, 103_n, 103_o E_r ORゲート、104_a, 104_b 入力端子、105_a, 105_b, 105_c, 105_d 出力端子、201 ガロア体定数乗算器、202 ガロア体定数乗算器、203 8ビット幅のシフトレジスタ、301 ガロア体定数乗算器、302_a, 302_b ガロア体定数乗算器、303 ガロア体定数乗算器、304_a, 304_b 8ビット幅のシフトレジスタ、401 シンドローム生成回路、402 ガロア体定数乗算回路、403 誤り位置多項式係数計算回路、404 チェンサーチ回路、111a~111h レジスタ、114a~114h 入力端子、211a~211d, 212a~212d レジスタ、214a E_r ORゲート、215a~215h 入力端子、314a, 314b レジスタ、315a~315h E_r ORゲート、316a~316h 出力端子、321, 322a, 322b, 323, 324a, 324b, 325, 326a, 326b, 327, 328a, 328b, 329, 330, 331, 332 ガロア体乗算器、S1 ガロア体元短縮分乗算ステップ、S6 チェンサーチ終了チェックステップ。

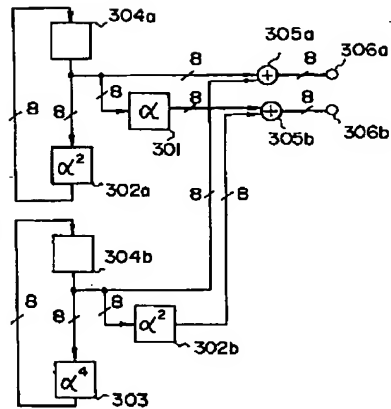
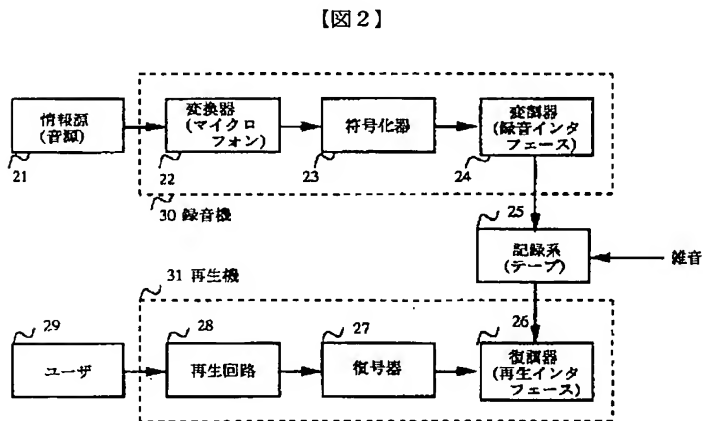
【図 1】



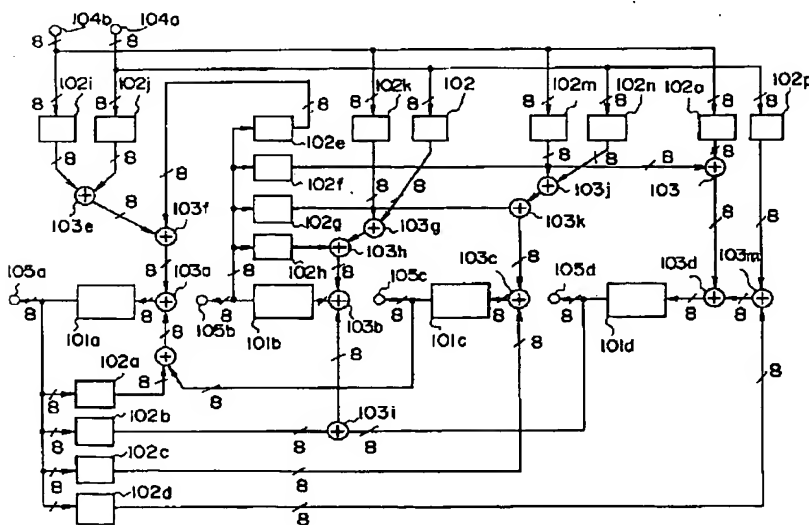
【図 5】



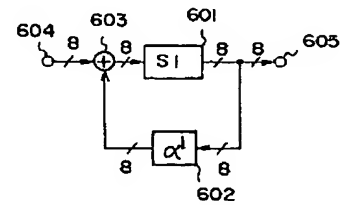
【図 7】



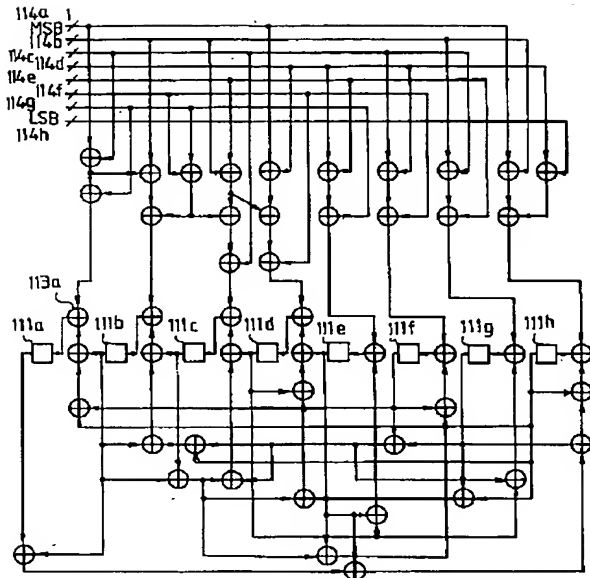
【図 3】



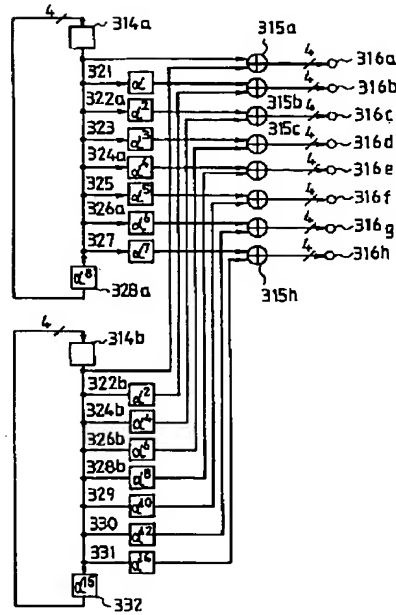
【図 12】



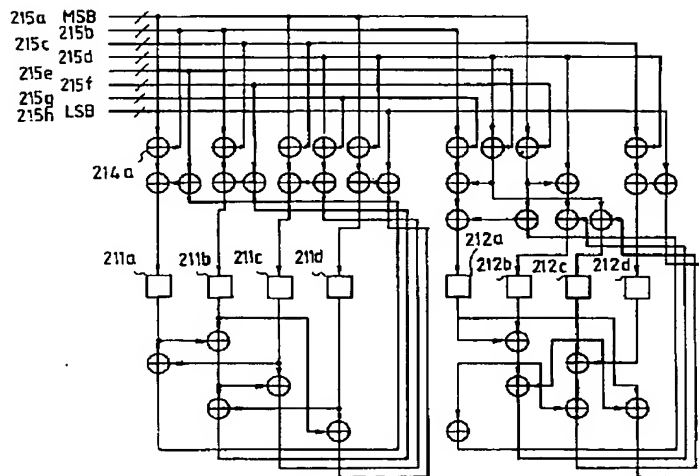
【図 4】



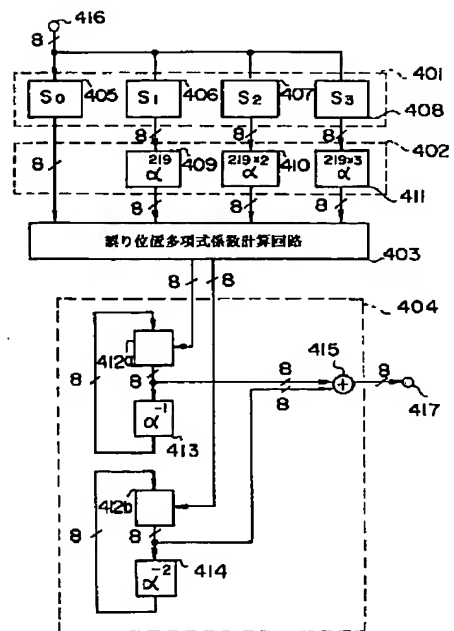
【図 8】



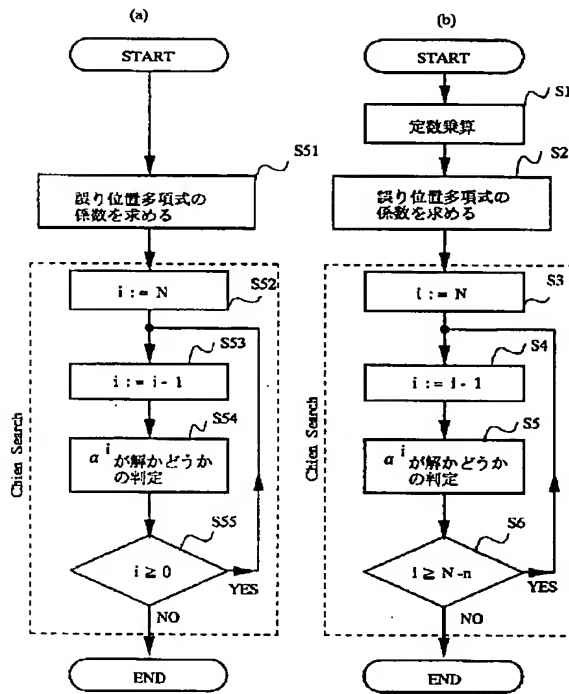
【図 6】



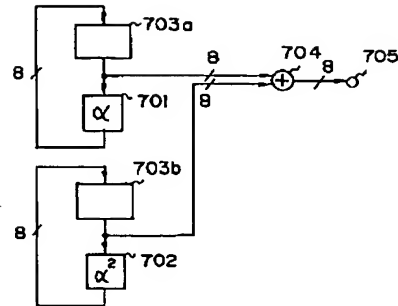
【図 9】



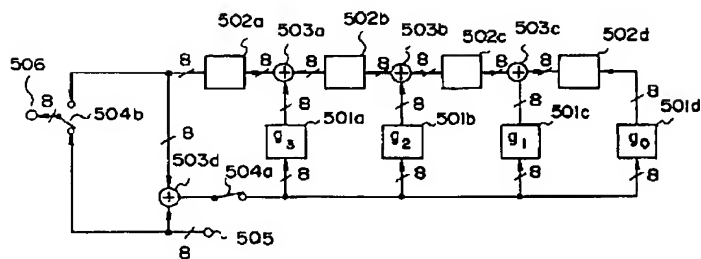
【図 10】



【図 13】



【図 11】



【図 14】

